

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-94468
(P2001-94468A)

(43) 公開日 平成13年4月6日 (2001.4.6)

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-ト* (参考)
H 0 4 B 1/707		H 0 4 J 13/00	D 5 B 0 5 6
G 0 6 F 17/15		G 0 6 F 15/336	5 K 0 2 2

審査請求 有 請求項の数14 O L (全 12 頁)

(21) 出願番号 特願平11-265040

(22) 出願日 平成11年9月20日 (1999.9.20)

(71) 出願人 000004237

日本電気株式会社
東京都港区芝五丁目7番1号

(72) 発明者 岩崎 玄弥

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100080816

弁理士 加藤 朝道

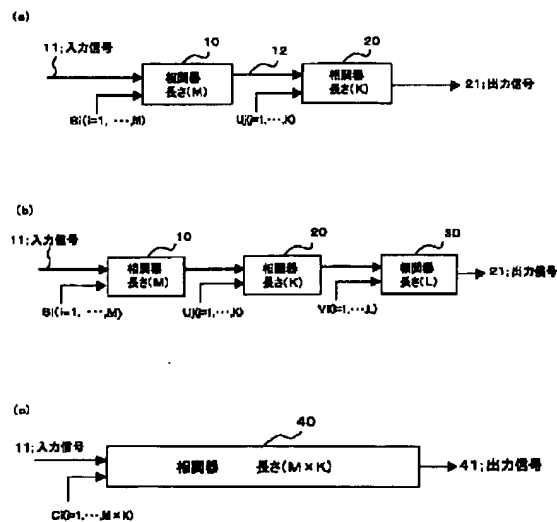
Fターム(参考) 5B056 AA01 BB23 FF05 HH00
5K022 EE02 EE32

(54) 【発明の名称】 相関器

(57) 【要約】

【課題】CDMA通信方式に受信装置において回路規模の縮減を図る相関器の提供。

【解決手段】長さKシンボルの固定語をMチップ/シンボルの割合で拡散した信号よりなる符号長Nの固定パターンを入力とし、長さがMチップとされ、前記固定パターンのうちのk番目 ($0 \leq k < K$) のシンボル部分に対して、拡散符号 S_m ($kM \leq m < (k+1)M$) との相関値を出力する第1の相関器と、第1の相関器の符号の切替を行なう符号切替部と、第1の相関器の出力を記憶するメモリと、メモリから所定チップL毎にKシンボル分のデータを読み出すための読み出しアドレスを生成する読み出しアドレス制御部と、メモリから読み出されたKシンボル分のデータを入力し前記固定語との相関値を出力する第2の相関器とを備える。



【特許請求の範囲】

【請求項1】所定の長さのデータの相関をとるための相関器を、それぞれが前記所定の長さの約数の長さよりなる複数段の相関器で構成し、前記複数段の相関器のそれぞれの長さを掛け合わせた値が前記所定の長さと同しくなるように設定され、前段の相関器から出力される相関値を、前記前段の相関器の次の段に位置する相関器の入力とする、ことを特徴とする相関器。

【請求項2】所定の長さ N （但し、 $N=M \times K$ 、但し、 M 、 K は1より大の整数）のデータの相関をとるための相関器を、長さ M の1段目の相関器と、前記1段目の相関器から出力される K 個の相関値を入力して相関をとる長さ K の2段目の相関器とで構成してなることを特徴とする相関器。

【請求項3】所定の数のシンボルよりなる固定語の各シンボルを拡散符号で拡散した固定パターンが挿入される入力信号を入力とし相関をとる相関器において、1段目の相関器で前記入力信号と拡散符号との1シンボルの長さ分の相関をとり、前記1段目の相関器から出力される相関値の前記所定の数のシンボル分について2段目の相関器で前記固定語との相関をとる構成とされてなる、ことを特徴とする相関器。

【請求項4】前記1段目の相関器を共通とし、前記固定語の種類に応じて前記2段目の相関器を複数備えたことを特徴とする請求項3記載の相関器。

【請求項5】長さ K シンボル（但し、 K は所定の正整数）の固定語を M チップ／シンボル（但し、 M は所定の正整数）の割合で拡散した信号よりなる符号長 N （但し、 $N=M \times K$ ）の固定パターンを入力信号として入力し、長さが M チップとされ、前記固定パターンのうちの k 番目（ $0 \leq k < K$ ）のシンボル部分に対して、拡散符号 S_m （但し、 m は、 $k \times M \leq m < (k+1) \times M$ の範囲の整数）との相関値を求める第1の相関器と、前記第1の相関器で求められた、前記入力信号について互いに位相の異なる相関値を、1シンボルあたり所定個数分記憶し、このようにして K シンボル分の相関値を記憶する記憶部と、前記記憶部から前記所定個数おきに読み出された K シンボル分のデータを入力し前記固定語との相関値を出力する第2の相関器と、を備えたことを特徴とする相関器。

【請求項6】長さ K シンボル（但し、 K は所定の正整数）の同期検出用の固定語を M チップ／シンボル（但し、 M は所定の正整数）の割合で拡散した符号長 N （但し、 $N=M \times K$ ）の固定パターンを受信する側の相関器が、前記固定パターンを入力信号として入力し、長さが M チップとされ、前記固定パターンのうちの k 番目（ $0 \leq k < K$ ）のシンボル部分に対して、拡散符号 S_m （但し、

m は、 $k \times M \leq m < (k+1) \times M$ の範囲の整数）との相関値を出力する第1の相関器と、

前記第1の相関器でそれぞれ算出される、前記入力信号について互いに位相のずれている相関値を、1シンボルあたり所定個数（ L 個）記憶し、 K シンボルについて計 $L \times K$ 個の相関値を記憶する記憶部と、

前記記憶部から L 個おきに K シンボル分のデータを読み出すための読み出しアドレスを生成出力する読み出しアドレス制御部と、

前記記憶部から L 個おきに読み出された K シンボル分のデータを入力し前記固定語との相関値を出力する第2の相関器と、

を備えたことを特徴とする相関器。

【請求項7】前記第1の相関器から出力される相関値を、前記記憶部の、書き込みアドレスを生成出力する書き込みアドレス制御部で指示されるアドレスに書き込む、ことを特徴とする請求項6記載の相関器。

【請求項8】前記第1の相関器を一つ備え、前記第2の相関器を、固定語の種類分複数備えたことを特徴とする請求項5乃至7のいずれかに記載の相関器。

【請求項9】前記記憶部が、デュアルポート型のランダムアクセスメモリよりなる、ことを特徴とする請求項7記載の相関器。

【請求項10】前記第2の相関器の代わりに、前記第1の相関器から出力される K 個の相関値出力と前記固定語とが互いに一致するか否かを比較する比較器を備えたことを特徴とする請求項5又は6記載の相関器。

【請求項11】請求項3乃至9のいずれかに記載の相関器を備えたCDMA（符号分割多元接続）方式の受信装置。

【請求項12】スペクトル拡散方式の通信装置において、同期捕捉用の相関器として、スペクトル拡散された入力信号を逆拡散するために該入力信号と拡散符号との相関をとる第1の相関器と、前記第1の相関器から出力される所定個の相関値出力と同期パターンとの相関をとる第2の相関器とを含む、ことを特徴とする通信装置。

【請求項13】前記第2の相関器の代わりに、前記第1の相関器から出力される所定個の相関値出力と同期パターンとが互いに一致するか否かを比較を行う比較器を備えたことを特徴とする請求項12記載の通信装置。

【請求項14】合成数である所定の長さ N のデータの相関をとる相関器を、前記 N の約数である長さ M の第1の相関器と、前記 N の約数である長さ K の第2の相関器とで構成し、

前記第1の相関器は、長さ M の入力データと、前記長さ M の入力データと相関をとるために予め用意された長さ M のデータとの相関をとり、

前記第2の相関器は、前記第1の相関器の K 個の相関値出力と、前記第1の相関器からの相関値出力と相関をとるために予め用意された K 個のデータとの相関をとる、

ことを特徴とする相関器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、相関器に関し、特に、CDMA通信方式の受信装置に用いて好適な相関器に関する。

【0002】

【従来の技術】スペクトラム拡散（スプレッドスペクトラム）方式は、周知のごとく、送信側で送信信号を変調した後に拡散符号を用いてスペクトラム拡散して送信し、受信側では、送られてきたスペクトラム拡散信号を受信して復調する際に、送信側で拡散に用いた拡散符号（Pseudorandom Noise；単に「PN」ともいう）系列と同じものを用いて逆拡散する。

【0003】近時、スペクトラム拡散方式の拡散符号系列を各通信毎に割り当てるCDMA（Code Division Multiple Access；符号分割多元接続）通信方式が、移動体通信システムの移動端末の無線通信方式の標準として期待されている。すなわちCDMA通信方式では、例えばユーザの情報をユーザ固有の拡散符号でそれぞれ拡散したものを同じ周波数帯で重ね合わせて送信し、受信側では、受信したいユーザの拡散符号を用いて情報を抽出する構成とされ、

- ・スペクトル利用効率が高い、
- ・マルチパスに強い、
- ・秘話性が高い、等の利点を有している。

【0004】CDMA方式の通信システムでは、受信装置において、信号中の拡散符号とのタイミング同期をとることが必要である。すなわち、送られてきた信号の拡散符号系列発生タイミングと受信側で用意する拡散符号系列発生タイミングとを1チップ以内の精度で推定し、拡散符号系列発生器をそのタイミングで動作開始させる同期捕捉が行われる。また直接拡散（DS）方式では、わずかも同期位置がずれると受信信号を見失うため、一度捕捉に成功した受信信号に対して受信側の拡散符号系列の時間ずれ等を起こさないように監視する同期追跡が必要とされる。

【0005】このため、同期信号として予め定められた固定パターン（同期用パターンでありパイロットシンボルともいう）を送信信号中に挿入して送信し、受信側では受信した信号と固定パターンとの相関値を算出することにより同期検出を行ない、受信信号の検出や、タイミングの同期制御を行っている。

【0006】スペクトラム拡散通信装置のうち直接拡散（DS）方式の構成としては、例えば特許2850959号の特許公報等の記載が参照される。上記特許公報に記載されているように、従来のスペクトラム拡散受信装置において、アンテナから受信したスペクトラム拡散信号である受信信号を、信号変換部をなす局部発振器及びローパスフィルタでベースバンド信号に変換し、このベ

ースバンド信号をサンプルアンドホールド回路で例えば1/2チップ毎にサンプルし、サンプリング信号をマッチドフィルタ（Matched Filter）からなる相関器へ伝送し、この相関器では、受信した信号の拡散符号1シンボル分と予め用意された拡散符号1シンボル分とをチップ毎に乗算を行ないその和を算出して同期検波器へ送出する構成とされている。

【0007】そして、サンプリング信号と拡散符号との相関をとる相関器は、図8に示すように、ベースバンド信号に変換されたスペクトラム拡散信号（入力信号）300をシフトレジスタ301で1チップずつ順次格納する一方、係数発生器302で拡散符号系列を発生し、シフトレジスタ301に格納されたスペクトラム拡散信号と1チップ毎に乗算器303で乗算が行われ、乗算結果は加算器304に伝送されてその和が算出され出力信号305として出力される。拡散符号系列と受信されたスペクトラム拡散信号の拡散符号とのタイミングが一致している場合に加算器304からの出力が最大値（マッチドパルス）となる。このため、不図示の最大値検出回路（ピーク判定回路）から、このマッチドパルスを、不図示の同期検出器で検出し、この同期情報を使って逆拡散復調を行なっている。なお、上記特許2850959号特許公報には、相関器とこの相関器から出力される相関値に対応するシンボルの理論値又は未知のシンボルのときの復調後の判定値のいずれかに基づいて相関値を逆変調して複数のシンボルを加算し複数シンボルの加算パワーを求めてパワー値を得るシンボル積分器を含む同期回路を備えたスペクトラム拡散通信同期捕捉復調装置の構成が開示されている。

【0008】

【発明が解決しようとする課題】ところで、CDMA方式の通信システムでは、スペクトル拡散変調を受けた信号は広帯域となり、信号の電力スペクトル密度は著しく低くなり、このため受信機フロントエンドでのS/N（信号対雑音）比は極めて低い。すなわち、チップ速度で換算したときの入力信号のS/N比が極めて小さいことから、正しくタイミング同期を図るためには、同期用パターンとして、チップ単位でみた場合、長大な長さの固定パターンが必要となり、受信側では、同期捕捉用回路として、大きな相関器が必要とされている。

【0009】すなわち、図8を参照して説明した従来の相関器の構成において、その長さを長くすれば、当然のことながら、シフトレジスタ301、及び加算器304等それぞれの回路規模が増大し、乗算器303の個数も増大し、その結果、消費電力も増大し、CDMA方式の携帯電話機等移動体端末装置の低消費電力化及び低コスト化を難しいものとしている。

【0010】例えば長さKシンボルの固定語を、拡散率Mチップ/シンボルで拡散した信号よりなる符号長Nの固定パターンを入力とする場合、M×Kチップの長さの

相関器として構成される。

【0011】さらに従来の相関器の構成において、その長さを長くすれば、シフトレジスタの長さが長くなり、相関値算出に要する時間も長くなり、同期捕捉までに要する時間も長くなる。

【0012】図7に、従来の別の相関器の構成を示す。図7を参照すると、入力信号と拡散係数 C_i とが乗算器201で乗算され、乗算結果が加算回路202の他の入力端に供給される一つ前の累算値（初期値は0）と加算され、その加算結果がラッチ回路203でラッチされるとともに、加算回路202の他の入力端に帰還入力され、次の乗算結果と加算される。この従来の相関器は、図8に示した並列型の相関器と比べて乗算器の数は1つですが、相関値算出に要する時間が長くなる。

【0013】すなわち図7に示す従来の相関器において、例えば長さ N の相関をとる場合、 N 回の乗算とこれらを加算をした結果が相関値として出力され、相関値が得られるまでに要する時間は長さ N に比例して増大し、同期捕捉までに要する時間も長くなる。

【0014】そして携帯電話機等移動体端末装置において、求められる低消費電力化及びコストの低減を図るためには、相関器の回路構成を縮減して、ハードウェア規模を削減することが、要請される。さらに相関器の高速化も求められている。

【0015】したがって本発明は、上記課題の認識に鑑みて創案されたものであって、その主たる目的は、CDMA通信方式の受信装置に用いられる相関器において、回路規模の特段の縮減を図る相関器を提供することにある。

【0016】また本発明は、回路規模の増大を抑止低減しながら同期用パターンとして複数種の固定パターンに対応可能な相関器を提供することもその目的としている。これ以外の本発明の目的、特徴等は以下の説明からも当業者にはただちに明らかとされるであろう。

【0017】

【課題を解決するための手段】前記目的を達成する本発明は、所定の長さのデータの相関をとるための相関器を、それぞれが前記所定の長さの約数の長さよりなる複数段の相関器で構成し、前記複数段の相関器のそれぞれの長さを掛け合わせた値が前記所定の長さと同程度となるように設定され、前段の相関器から出力される相関値を次段の相関器の入力としたものである。すなわち本発明は、所定の長さ N （但し、 $N = M \times K$ ）分の長さの相関をとるための相関器を、長さ M の1段目の相関器と、前記1段目の相関器の相関値を入力とする長さ K の2段目の相関器で構成したものである。

【0018】より詳細には、本発明は、所定の数のシンボルよりなる固定語について所定の拡散率で拡散符号で拡散した同期用信号が挿入されてなる入力信号を入力と

し相関をとることで同期検出を行なう相関器において、1段目の相関器で前記入力信号と拡散符号との相関をとり、前記1段目の相関器の相関値出力に基づき、前記所定の数のシンボルについて、2段目の相関器で前記固定語との相関をとるように構成されてなるものである。

【0019】本発明においては、前記1段目の相関器を共通とし、固定語のパターンの種類に対応して次段の相関器を複数備えた構成としてもよい。

【0020】

【発明の実施の形態】本発明の実施の形態について説明する。図1は、本発明の構成原理を説明するための図であり、図1(a)、及び図1(b)は、それぞれ、本発明に係る相関器の構成を示す図であり、また図1(c)は、比較例として従来型の相関器の構成を示す図である。

【0021】図1(a)を参照すると、本発明に係る相関器は、所定の長さ N （但し、 $N = M \times K$ ）分の長さの相関をとるための相関器（図1(c)の相関器40参照）を、長さ M の1段目の相関器10と、1段目の相関器10から出力される相関値12を入力とする長さ K の2段目の相関器20とをカスケード接続して構成したものである。

【0022】1段目の相関器10は、入力信号11と、長さ M の該入力信号11との相関をとるための係数列 S_i （ $i = 1 \sim M$ ）とを入力して相関（乗算と加算）をとり相関値12を出力し、2段目の相関器20は、1段目の相関器10の相関値出力12と、該相関値12の出力列（ K 個）との相関をとるための係数列 U_i （ $i = 1 \sim K$ ）とを入力して相関をとり相関値21を出力する。

【0023】本発明によれば、2つに分割された相関器10、20の長さは合わせて $M + K$ でよく、図1(c)に示した $M \times K$ の長さからなる従来の相関器と比べて、その回路規模を特段に縮減することができる。

【0024】そして、2つに分割された相関器の長さが合わせて $M + K$ でよいことから、相関値の演算処理の高速化を図ることができる。例えば、図1(a)の相関器10、20を、図8に示した構成とした場合、シフトレジスタの段数、乗算器の数は $M + K$ 個でよい。また図1(a)の相関器10、20を、図7に示した構成とした場合、相関値の演算に要する時間は、 $N = M \times K$ ではなく、 $M + K$ に比例する。

【0025】なお、本発明において、相関器は2段構成に限定されるものでなく、例えば図1(b)に示すように、3段構成としてもよく、さらには、4段以上としてもよいことは勿論である。

【0026】図1(b)に示す構成の本発明によれば、例えば長さが1000チップ(chip)の相関をとる相関器を、長さが10チップの相関器を3段カスケード接続することで構成することができる。この場合、3つに分割された相関器の長さは合わせて30チップで構成する

ことができ、長さ1000チップの従来の相関器40 (図1(c)参照)と比べて、その回路規模を特段に縮減できることがわかる。

【0027】次に、図1(a)に示した本発明に係る相関器をCDMA方式の通信装置の同期捕捉用の相関器に適用した場合の一実施の形態について説明する。

【0028】本発明の一実施の形態においては、長さKシンボル(但し、Kは所定の正整数)の固定語を、Mチップ(chip)/シンボル(但し、Mは所定の正整数)の拡散率(spreading ratio;シンボル区間とチップ区間の比)で拡散した信号よりなる符号長N(但し、 $N=M \times K$)の固定パターン C_n を入力として相関値を出力する相関器を、1段目の相関器10と2段目の相関器20からなる2段構成とする。

【0029】1段目の相関器10は、その長さがMチップとされ、入力した固定パターンのうちのk番目($0 \leq k \leq K-1$)のシンボル部分に対して、それぞれ、拡散符号 S_m (但し、mは、 $k \times M \leq m < (k+1) \times M$ の範囲の整数)との相関値を出力する。

【0030】2段目の相関器20は、1段目の相関器10から出力された相関値についてKシンボル分のデータを入力し、長さKの固定語 $U_0 \sim U_{K-1}$ との相関値を出力する。

【0031】すなわち、固定パターン C_n ($n=0 \sim N-1$)に比べて、長さの短い1段目の相関器10でまず第1の相関値を算出し、次に、長さKの2段目の相関器20で固定語との相関値を算出する。

【0032】かかる構成により、回路規模の削減を図ることができ、さらに、相関器の長さを短くした結果、高速処理を可能としている。拡散率Mは典型的なアプリケーションにおいて、例えば10~10000程度とされ、一例として $M=100$ とし、フレーム同期パターンとして固定語を $U_0 \sim U_{15}$ 、すなわち $K=16$ とした場合、図1(c)に示した従来の相関器40の長さNは1600であるのに対して、図1(a)に示した本発明においては、その長さは $M+K=116$ となり、ほぼ1/14となる。

【0033】また、本発明は、別の実施の形態において、1段目の相関器を共通とし、2段目の相関器を複数備えることで、回路規模の増大を抑止しながら、複数種類の固定パターンに対応可能である。すなわち、長さMの1段目の相関器と長さKの2段目の相関器をR組備えた構成において、相関器の長さは合わせて $M+K \times R$ となる。一方、長さN($=M \times K$)の相関器をR個用意する場合、その全体の長さは $M \times K \times R$ 必要となる。このように、本発明によれば、回路規模を特段に縮減するものであることがわかる。

【0034】

【実施例】上記した本発明の実施の形態についてさらに詳細に説明すべく、本発明の実施例について図面を参照

して以下に説明する。

【0035】図2は、本発明の一実施例をなす相関器の構成をブロック図にて示したものであり、本発明に係る相関器は、CDMA方式の通信システムの受信装置の同期捕捉回路に適用したものである。なお、相関器の前段に設けられる回路構成としては、無線信号を受信するアンテナ、アンテナで受信した信号を増幅する増幅器、増幅器の出力とローカル信号とのミキシングを行ない中間周波(IF)信号を出力するミキサ、ローパスフィルタよりなる信号変換部、及び、信号変換部からのベースバンド信号を標本化して保持するサンプルアンドホールド回路等公知のものが用いられるため、その構成の説明は省略する。

【0036】図2を参照すると、本発明の一実施例において、相関器は、1段目の相関器101と、1段目の相関器101へ供給する拡散符号列の切替を制御する符号切替部104と、メモリ102と、メモリ102の読み出しアドレスを制御する読み出しアドレス制御部105と、メモリ102の書き込みアドレスを制御する書き込みアドレス制御部106と、2段目の相関器103とを備えて構成されている。

【0037】まず図2に示した本発明の一実施例の相関器の各部の構成・機能について概説する。

【0038】拡散符号で変調された送信信号は、受信装置の不図示のアンテナで受信され、信号変換回路でベースバンド信号に変換され、サンプルアンドホールド回路でサンプリングされ、入力信号100として、1段目の相関器101に入力される。

【0039】1段目の相関器101は、1シンボル分の長さの入力信号100と拡散符号との相関値を算出し、相関値108として出力する。

【0040】符号切替部104は、1段目の相関器101が入力信号100との相関をとる拡散符号の切替を行う。

【0041】書き込みアドレス制御部106は、1段目の相関器101から出力される相関値108のメモリ102への書き込みアドレスを生成する。

【0042】読み出しアドレス制御部105は、2段目の相関器103へ供給する相関値109をメモリ102から読み出すための読み出しアドレスを生成する。

【0043】メモリ102には、1段目の相関器101から出力される相関値108が、書き込みアドレス制御部106から出力される書き込みアドレスに書き込まれるとともに、読み出しアドレス制御部105から出力されるアドレスの内容が読み出され、2段目の相関器103へ供給される。このメモリ102は、例えば、書き込みと読み出しとが2つのポートで独立して行われるデュアルポートRAMから構成される。

【0044】2段目の相関器103は、メモリ102から読み出された所定個数の相関値109と、該読み出さ

れた相関値と相関をとるために予め用意された同期検出用の所定個数のシンボルよりなる固定語との相関値を算出し相関値107として出力する。

【0045】なお、図2において、2段目の相関器103の出力を入力とする不図示の最大値検出回路（ピーク判定回路）を備え、2段目の相関器103から出力される相関値が最大るとき、同期検出を通知するための最大値信号を出力する構成としてもよい。

【0046】次に、図2を参照して、本発明の一実施例の動作について説明する。1段目の相関器101に10 入力される入力信号100は、符号長Nの固定パターンCn（但し、nは0以上N-1以下の整数）を含むものとする。

【0047】この固定パターンCn（n=0~N-1）は、送信側で、予め定められた長さKシンボルの固定語を、Mチップ／シンボルの割合で拡散符号で拡散した信号からなり、符号長Nの固定パターンがフレーム同期パターンとして送信信号中に挿入されて受信装置で受信される。受信装置で受信する固定パターンCnには、伝送中に雑音が含まれている。なお、固定パターンCnの符 20 号長Nは、 $N=K \times M$ である。

【0048】長さKシンボルの固定語のkシンボル目の値を U_k （但し、 $0 \leq k \leq K-1$ ）とし、拡散符号を S_n とすると、送信側において、固定語 U_k を拡散符号 S_n でMチップ／シンボルの割合で拡散した固定パターンCn（但し、 $n=kM+m$ 、 $0 \leq m \leq M-1$ ）は、次式（1）として表される。

$$C_{kM+m} = U_k \times S_{kM+m} \quad \dots (1)$$

【0050】送信側において、拡散符号 S_n で拡散され 30 た固定パターンCn（n=0~N-1）を受信する本実施例の受信装置においては、相関器101と相関器103よりなる2段構成の相関器を用いて相関値を算出する。

【0051】受信装置で受信する信号中において、固定パターンCn（n=0~N-1）が挿入される時刻（タイミング）は予め定められた所定の範囲内にあるものとする。

【0052】1段目の相関器101は、その長さがMチップとされ、受信した固定パターンCn（n=0~N-1）のうち固定語のkシンボル目 U_k を受信している部分の入力信号100のM個のサンプル値と、拡散符号 S_m （但し、 $k \times M \leq m < (k+1) \times M$ ）との相関値を出力する。

【0053】受信装置において、送信信号との同期がとれたとき、送信側で固定パターンCn（n=0~N-1）を拡散した拡散符号列と、1段目の相関器101の拡散符号列とが同一となり、1段目の相関器101から出力される相関値108は、固定語のkシンボル目の値 U_k に雑音を加わった値となる。

【0054】1段目の相関器101から出力される相関値108は、メモリ102に対して、書き込みアドレス制御部106から出力される書き込みアドレス信号で指定されたアドレスに逐次記憶される。

【0055】書き込みアドレス制御部106は、カウント値0から順次インクリメントしメモリ102の最大アドレスまでカウントした後、カウント値が0にクリアされるカウンタを備え、カウンタのカウント値が書き込みアドレスとして出力される。

【0056】本発明の一実施例では、受信装置で受信される受信信号において、固定パターンCn（n=0~N-1）が受信される予想タイミング範囲として、Lチップ区間に相当する時間幅、すなわち不確定幅が存在するものとする。この場合、1段目の相関器101では、図4に示すように、拡散符号と相関をとる入力信号100の開始ポイント（サンプルポイント）が、1チップ区間ずつ互いに位相がずれている長さMのサンプル列#1~サンプル列#Lのそれぞれについて、順次、拡散符号との相関をとっていき、一シンボルあたり、位相が互いに1チップずつずれている計L個の相関値が、メモリ102に順次記憶される。したがって、K個のシンボルに対しては、計 $L \times K$ 個の相関値がメモリ102に書き込まれることになる。

【0057】なお、図4では、1つの固定パターンに対して1チップずつ位相がずれたL個のサンプル列の入力信号についてそれぞれ拡散符号との相関値を求める例が示されているが、本発明は、かかる構成に限定されるものでなく、1チップずつ位相がずれた長さMの入力信号の相関値を2L個（2Lチップ区間に相当する時間幅分）算出するようにしてもよいし、あるいは、1/2チップずつ位相がずれた長さMの入力信号の相関値を2L個算出するようにしてもよい。

【0058】2段目の相関器103では、読み出しアドレス制御部105から出力される読み出しアドレスにより、メモリ102からL個おきに、読み出されたKシンボル分のデータと固定語 U_k （k=0~K-1）との相関を算出して出力する。

【0059】次に図2及び図3を参照して、本発明の一実施例における、1段目の相関値101からのメモリ102への書き込み動作、及び、メモリ102からの読み出し動作についてさらに詳細に説明する。

【0060】図3は、本発明の一実施例における、1段目の相関器101からメモリ102に対する書き込みとメモリ102からの読み出し動作を説明するための図であり、図3（a）は拡散符号 S_n （ $0 \leq n \leq N-1$ ）、図3（b）は固定語 U_k （ $0 \leq k \leq K-1$ ）、図3（c）は、図3（a）と図3（b）の信号から生成される固定パターンCn（ $0 \leq n \leq N-1$ ）、すなわち送信信号（受信装置で受信される受信信号であり1段目の相関器101へ供給される信号でもある）を示す図であ 50

る。図3(d)は1段目の相関器101の拡散符号、図3(e)はメモリ102への相関値の書き込みの様子、図3(f)はメモリ102からの相関値の読み出しの様子をそれぞれ模式的に示している。

【0061】受信信号に含まれる固定パターン C_n (図3(c)参照)は、上式(1)に示したように、拡散符号 S_n と、固定語 U_k の積で表される。

【0062】1段目の相関器101では、図4を参照して説明したように、各シンボルが受信されると予想される L チップの時間範囲に対する入力信号100の相関値をそれぞれ算出し(図3(d)参照)、1段目の相関器101から出力される1シンボルあたり L 個分の相関値はそれぞれメモリ102に順次書き込まれる(図3(e)参照)。このとき、相関をとる拡散符号として、 k シンボル目の符号に対しては、対応するシンボル位置での拡散符号 S_m ($k \times M \leq m < (k+1) \times M$)が用いられる。

【0063】すなわち、1段目の相関器101では、図3(d)に示すように、固定語の0シンボル目の符号(U_1)に対して、対応するシンボル位置での拡散符号 S_0, S_1, \dots, S_{M-1} が用いられ、1シンボル目の符号(U_1)に対して、対応するシンボル位置での拡散符号 $S_M, S_{M+1}, \dots, S_{2M-1}$ が用いられる。そして、各拡散符号 S_0, S_1, \dots, S_{M-1} 、及び、 $S_M, S_{M+1}, \dots, S_{2M-1}$ の切替えは、符号切替部104によって制御される。

【0064】2段目の相関器103では、図3(f)に示すように、メモリ102から L 個おきに読み出された K シンボル分のデータと、固定語 U_k ($k=0 \sim K-1$)との相関を算出して出力する。

【0065】その際、読み出しアドレス制御部105は、メモリ102への読み出しアドレスとして、まず、アドレス0からアドレス L 分ずつ増加させたアドレスを順次 K 個生成する。そして読み出しアドレス制御部105から出力されたアドレスを読み出しアドレスとしてメモリ102から K シンボル分の相関値109が順次読み出されて、2段目の相関器103に入力され、2段目の相関器103では、入力された K 個の相関値109と固定語 U_k ($k=0 \sim K-1$)との相関値107を算出して出力する。

【0066】つづいて、読み出しアドレス制御部105は、アドレス1からアドレス L 分ずつ増加させたアドレスを順次 K 個生成し、該アドレスを読み出しアドレスとして読み出された K 個の相関値が、2段目の相関器103に入力される。以下同様にしてアドレス $L-1$ からアドレス L 分ずつ増加させたアドレスを K 個生成する。

【0067】すなわち図3(f)に符号(1)として示すように、まず、メモリ102のアドレス0、 L 、 $2 \times L$ 、 $(K-1) \times L$ に格納されている K 個の相関値の1組目が順次読み出され、読み出し順に2段目の相関器1

03に入力され固定語 U_k ($k=0 \sim K-1$)との相関が算出され、次に符号(2)として示すように、メモリ102のアドレス1、 $L+1$ 、 $2 \times L+1$ 、 $(K-1) \times L+1$ に格納されている K 個のデータの2組目(1組目とは位相が1チップずれている)が読み出されて2段目の相関器103に入力され固定語 U_k ($k=0 \sim K-1$)との相関が算出され、同様にして、符号(L)で示すように、メモリ102のアドレス $L-1$ 、 $2 \times L-1$ 、 $3 \times L-1$ 、 $K \times L-1$ ($=N-1$)に格納されている K 個のデータの L 組目が読み出されて2段目の相関器103に入力され固定語 U_k ($k=0 \sim K-1$)との相関が算出される。

【0068】このようにして、2段目の相関器103は、メモリ102から順次読み出されて入力された符号(1)~(L)で示す互いに位相の異なる L 組の K シンボル分の相関値と固定語 U_k ($k=0 \sim K-1$)との相関をとり、相関値107を出力する。メモリ102から読み出される K 個の相関値が、固定語 U_k ($k=0 \sim K-1$)と一致する場合、2段目の相関器103からの相関値107は、受信信号の固定パターン C_n ($n=0 \sim N-1$)部分の相関値となり、その値は最大となる。

【0069】この2段目の相関器103から出力される相関値107は、入力信号に対して、長さ N チップの相関器を用いて固定パターン C_n ($n=1 \sim N$)との相関をとった値と実質的に等しいものとなる。

【0070】これは、 M チップ毎に分割して算出された $L \times K$ 個の相関値のうち、 L 個おきに、同じ遅延時間の K 個の相関値の組(図3(f)の符号(1)~(L)の各組)を読み出して固定語 U_k ($k=0 \sim K-1$)との相関をとっているためである。すなわち1段目の相関器101からメモリ102に出力される、固定パターン C_n ($n=0 \sim N-1$)部分の長さ M の入力信号と拡散符号との相関値の K シンボル分($L \times K$ 個)のうち、 L 個おきにメモリ102から読み出される K 個の相関値は、固定語 U_k ($k=0 \sim K-1$)の各シンボルにそれぞれ対応したものであり、互いに位相がずれている L 組の相関値について、各組の K 個の相関値と固定語 U_k ($k=0 \sim K-1$)との相関をとる2段目の相関器103からの出力により固定語 U_k ($k=0 \sim K-1$)を相関検波することができる。そして、これは、 N チップ分の長さの固定パターン C_n ($n=0 \sim N-1$)よりなる入力信号と長さ N の拡散符号 S_n ($n=0 \sim N-1$)との相関をとって固定パターン C_n ($n=0 \sim N-1$)を検出することで、入力信号から固定語 U_k ($k=0 \sim K-1$)を検出することと等価である。

【0071】このように、本発明の一実施例における2段構成の相関器101、103は、長さ $N=K \times M$ チップ相当の相関器と等価な相関器として機能している。

【0072】次に、本発明の別の実施例について説明する。図5は、本発明の第2の実施例の構成を示す図であ

る。

【0073】図5を参照すると、本発明の第2の実施例においては、前記実施例と相違して、複数の2段目の相関器103_i~103_xを並列に備えている。この2段目の相関器103の数は固定パターンを構成する固定シンボルの種類分とされる。すなわち、固定語U_k (k=0~K-1) からなるパターンが複数種類の値をとり得る場合に対応するために、長さKシンボルの2段目の相関器をその種類分備えており、これにより、全ての固定パターンに対する相関値を算出することができる。

【0074】従来の構成では、長さNチップの相関器を固定シンボルの種類分備える必要があり、回路規模が増大するが、上記した本発明の第2の実施例によれば、固定語U_k (k=0~K-1) のパターンの種類分、2段目の相関器を備える構成としたため、回路規模の増大を抑止している。

【0075】なお、図5に示した本発明の第2の実施例において、2段目の相関器103_i~103_xの出力をそれぞれ入力とする不図示の最大値検出回路（ピーク判定回路）を備え、複数の2段目の相関器103_i~103_x からそれぞれ出力される相関値が最大のとき最大値信号を出力する構成としてもよい。

【0076】次に、上記各実施例において用いられる1段目の相関器101、及び2段目の相関器103の構成について説明する。1段目の相関器101は、入力信号と拡散符号との相関値を出力するものであればよく、要求される処理性能等に応じて任意の構成のものが適宜用いられるが、例えば図8を参照して説明した従来の相関器が用いられる。すなわち1段目の相関器101は、符号切替部104で選択された拡散符号系列を発生する係数発生器302（以下図8参照）と、入力信号をチップ毎にシフトする長さMのシフトレジスタ301と、シフトレジスタ301の各出力と拡散符号とを乗算するM個の乗算器303と、M個の乗算器の出力を加算する加算器304とを備えて構成される。

【0077】あるいは、1段目の相関器101は、図7を参照して説明した従来の相関器と同様の構成としてもよい。この場合、1段目の相関器101は、符号切替部104で選択された拡散符号系列を発生する係数発生器からの拡散符号と入力信号とをチップ毎に乗算する乗算器201（以下図7参照）と、乗算器201の出力と一つ前のラッチ出力を各入力端に入力して加算する加算器202と、加算器202の出力をラッチするラッチ回路203と、を備え、ラッチ回路203の出力は加算器202の入力端に帰還される。かかる構成において、M個の入力信号と拡散符号とを一つの乗算器201で順次乗算した値を加算器202で加算した値が相関値として出力される。

【0078】2段目の相関器103は、メモリ102から読み出された所定個数の相関値と固定語との相関をと

るものであれば、要求される処理性能等に応じて任意の構成のものが用いられ、例えば1段目の相関器101と同様、図7又は図8に示した相関器から構成される。この場合、図8に示す構成において、K個の乗算器303にはそれぞれ固定語U_k (k=0~K-1) が設定入力される。また図7に示す構成において、乗算器201には、係数C_iとして、固定語U_k (k=0~K-1) が順次入力される。

【0079】次に本発明の第3の実施例について説明する。本発明の第3の実施例の構成は、図2に示した構成と基本的に同一構成とされているが、2段目の相関器が、前記実施例と相違している。図6は、本発明の第3の実施例を説明するための図である。

【0080】図2に示した前記実施例において、2段目の相関器103からの相関値を利用せず、固定語との一致を比較する構成でよい場合には、2段目の相関器を、1段目の相関器からの相関値と固定語との比較を行う比較器（コンパレータ）で構成してもよい。すなわち相関値をすべて得る必要がなく、例えば同期パターン（フレーム同期パターン）との一致を検出するだけでよい場合には、図6に示すように、2段目の相関器は、デジタルコンパレータ110で構成される。このデジタルコンパレータ110は、図2を参照して説明した1段目の相関器101からメモリ102に出力され、メモリ102からL個おきにK個読み出された相関値（b₀~b_{K-1}）と、固定語U₀~U_{K-1} とが互いに一致するか否かを比較し、一致した場合に一致検出信号を出力する。かかる構成の本発明の第3の実施例は、受信機の入力端における信号のS/N比が比較的良好である場合に、同期パターンを検出する用途において、有効である。

【0081】なお、上記各実施例では、メモリ102として、高速化のため、書き込みアドレスと読み出しアドレスで参照されるアドレスの書き込みと読み出しが独立して行われるデュアルポートRAMを例に説明したが、本発明において、メモリはデュアルポートRAMに限定されるものでなく、一つの入出力ポートを有する通常のRAMで構成してもよい。

【0082】

【発明の効果】以上説明したように、本発明によれば、長さMチップの相関器とKシンボルの相関器との2段構成として相関器を構成したことにより、回路規模の削減を達成しながら、長さN (N=M×K) チップの相関器と等価な相関値を算出することができる、という効果を奏する。

【0083】また本発明によれば、固定パターンの種類分2段目の相関器を備える構成としたことにより、回路規模の増大を抑止しながら複数の固定パターンに対する相関値を算出することができる、という効果を奏する。

【図面の簡単な説明】

15

16

【図1】(a)、(b)本発明の実施の形態の構成を示す図であり、(c)は従来型の相関器の構成を示す図である。

【図2】本発明の一実施例の構成を示す図である。

【図3】本発明の一実施例の動作を説明するための模式図である。

【図4】本発明の一実施例における1段目の相関器から出力されるL個の相関値を説明するための図である。

【図5】本発明の他の実施例の構成を示す図である。

【図6】本発明の一実施例における第2の相関器の別の10 変形を示す図である。

【図7】従来の相関器の構成の一例を示す図である。

【図8】従来の相関器の構成の他の例を示す図である。

【符号の説明】

100 入力信号

101 1段目の相関器

102 メモリ

103、103₁~103_x 2段目の相関器

104 符号切替部

105 読み出しアドレス制御部

106 書き込みアドレス制御部

107 相関値

108 相関値(1段目の相関器101からの出力)

109 相関値(メモリ102からの読み出しデータ)

110 比較器(コンパレータ)

200 入力信号

201 乗算器

202 加算器

203 ラッチ回路

204 出力信号

300 入力信号

301 シフトレジスタ

302 係数発生器

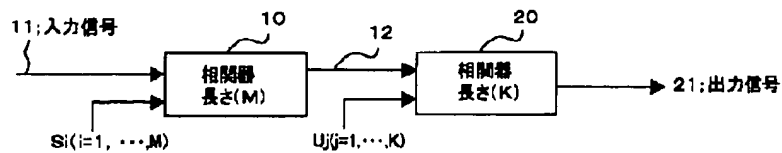
303 乗算器

304 加算器

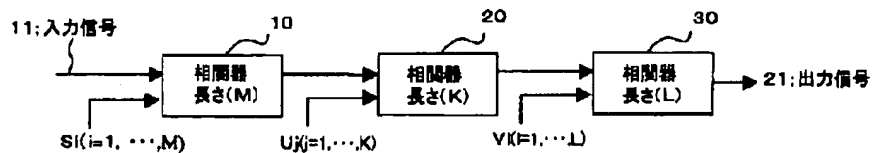
305 出力信号

【図1】

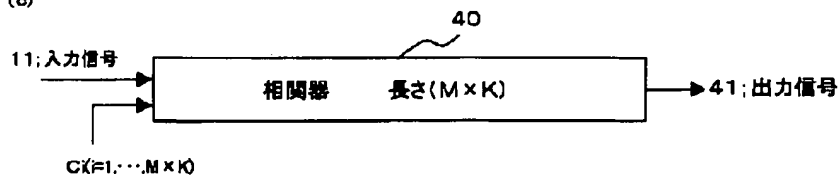
(a)



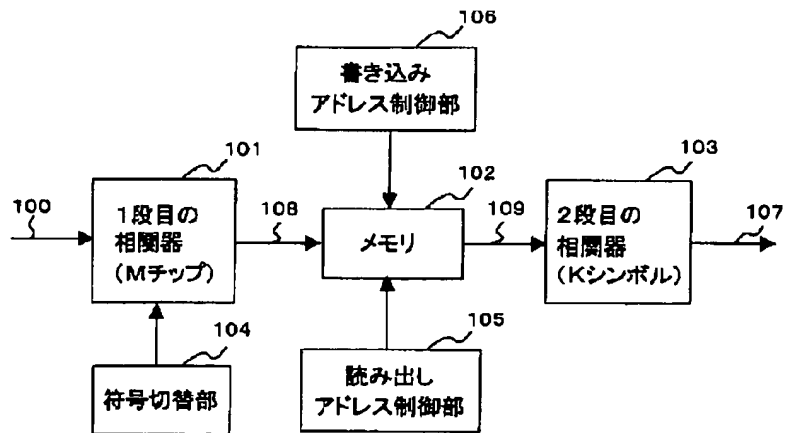
(b)



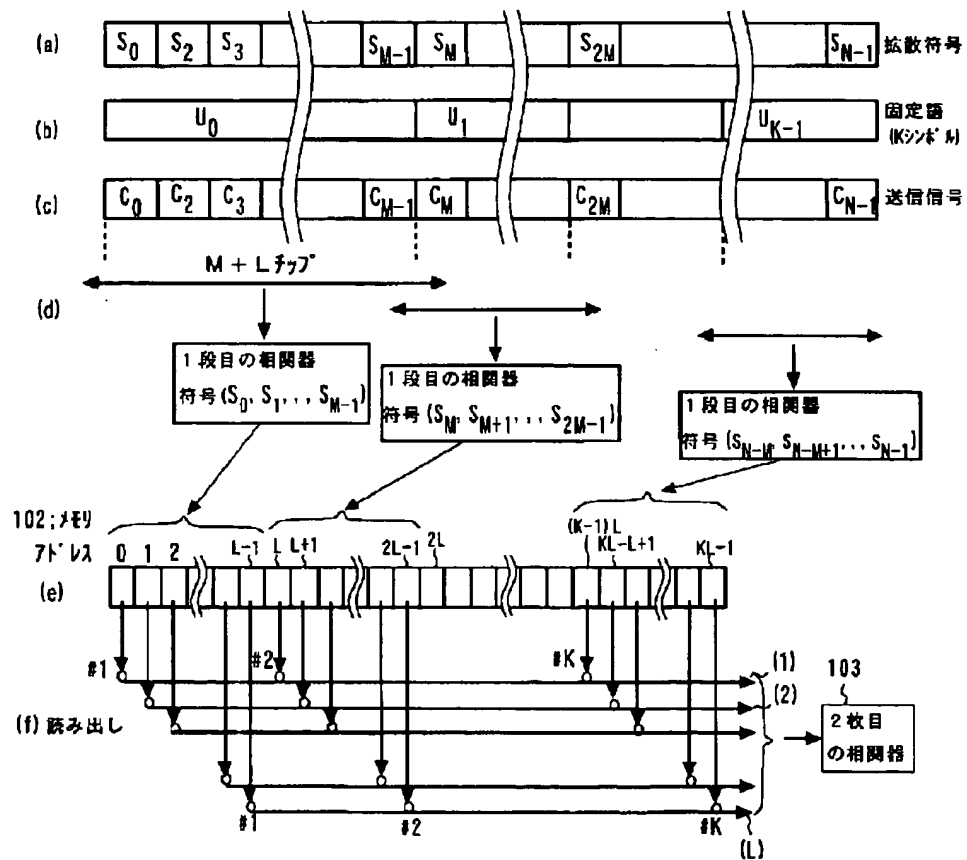
(c)



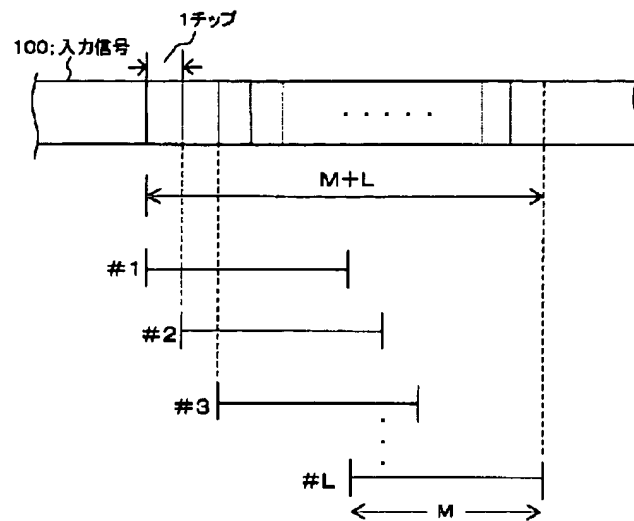
【図2】



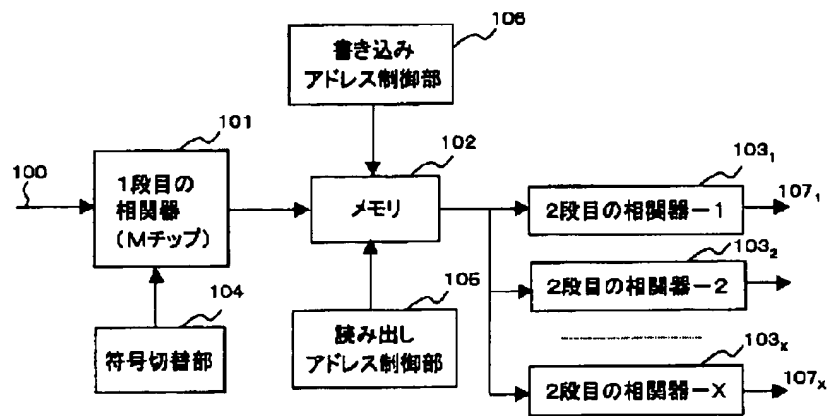
【図3】



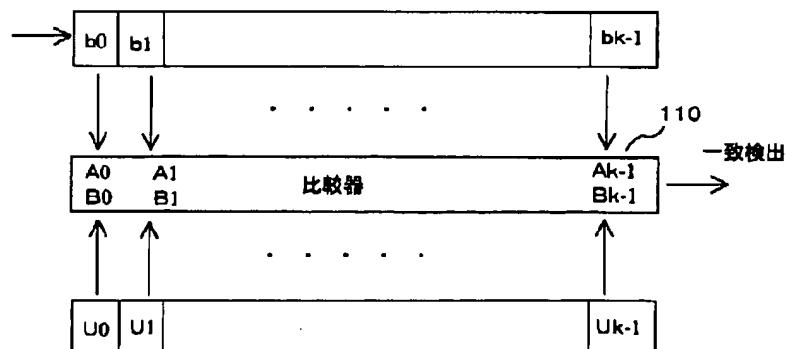
【図4】



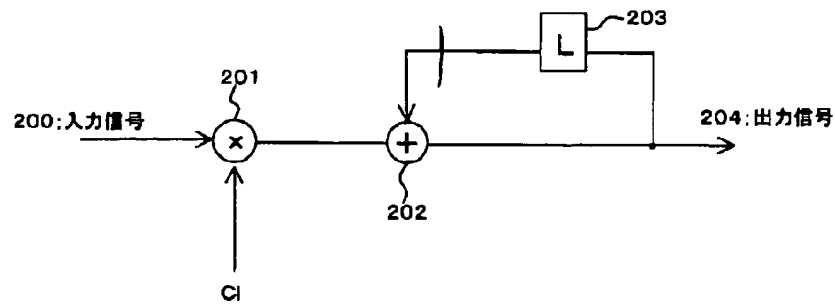
【図5】



【図6】



【図7】



【図8】

